

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-133666

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

H01L 21/56
B29C 33/42
B29C 33/62
B29C 33/68
B29C 45/14
B29C 45/40
// B29L 31:34

(21)Application number : 11-304102

(71)Applicant : HYUNDAI ELECTRONICS IND CO LTD

(22)Date of filing : 26.10.1999

(72)Inventor : RI KYUKO
KIN GINTO
LEE TAE KEUN

(30)Priority

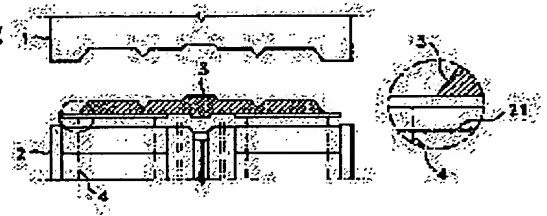
Priority number : 98 9845447 Priority date : 28.10.1998 Priority country : KR

(54) MOLDING DIE FOR SEMICONDUCTOR PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a molding die for a semiconductor package in which the generation of static electricity can be prevented when the package is taken out, by preventing the package from sticking to the surface of a lower die.

SOLUTION: An upper die 1 and a lower die 2 are assembled to form a cavity in which a package 3 is mounted safely. In the lower die 2, a take-out pins 4 for taking out the package 3 from the lower die 2 after molding is provided in a liftable manner. This molding die is constituted that ruggedness 21 is formed or a sticking preventing plate is attached on the surface of the lower die 2, in order to prevent static electricity from generating due to sticking of the package 3 to the lower die 2 when taking out.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The upper part and the lower die which form the cavity by which a package is arranged; It reaches. It is arranged possible [rise and fall on said lower die front face], and the drawing pin which takes out the package by which has been arranged and mold was carried out into said cavity from said lower die front face is included. the semiconductor package characterized by forming in said lower die front face the irregularity which reduces the touch area between a package and a lower die front face in order to prevent that static electricity occurs in the package taken out from a lower die front face by said drawing pin -- public funds -- a mold.

[Claim 2] The upper part and the lower die which form the cavity by which a package is arranged; It reaches. It is arranged possible [rise and fall on said lower die front face], and the drawing pin which takes out the package by which has been arranged and mold was carried out into said cavity from said lower die front face is included. the semiconductor package characterized by carrying out coating of the synthetic resin which can control that static electricity charges said lower die front face in order to prevent that static electricity occurs in the package taken out from a lower die front face by said drawing pin -- public funds -- a mold.

[Claim 3] The quality of the material of said synthetic resin is metal mold for semiconductor packages according to claim 2 characterized by being Teflon.

[Claim 4] The upper part and the lower die which form the cavity by which a package is arranged; It reaches. It is arranged possible [rise and fall on said lower die front face], and the drawing pin which takes out the package by which has been arranged and mold was carried out into said cavity from said lower die front face is included. the semiconductor package characterized by adhering to the fixing prevention plate which can prevent fixing on said lower die front face in order to prevent that static electricity occurs in the package taken out from a lower die front face by said drawing pin -- public funds -- a mold.

[Claim 5] The quality of the material of said fixing prevention plate is metal mold for semiconductor packages according to claim 4 characterized by being paper.

[Claim 6] The quality of the material of said fixing prevention plate is metal mold for semiconductor packages according to claim 4 characterized by being a metal.

[Claim 7] The quality of the material of said metal plate is metal mold for semiconductor packages according to claim 6 characterized by being copper.

[Translation done.]

* NOTICES *

JP0 and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the metal mold which can control static electricity (static electricity) generated in case a package is taken out after a mold process about the metal mold for semiconductor packages.

[0002]

[Description of the Prior Art] A semiconductor chip pastes up on a substrate and a common package, for example, a ball grid array package, consists of structure which the bonding pad and substrate of a semiconductor chip have connected with the metal wire. A whole result object is sealed with encapsulant and a solder ball is mounted on the ball land formed in the bottom of the substrate exposed from encapsulant.

[0003] A semiconductor chip and a substrate are located in the cavity formed of the assembly of an up die and a lower die at the time of the mold of the package of this structure, and the mold of a semiconductor chip and a substrate is performed by carrying out the flow of the encapsulant into a cavity.

[0004] Drawing 1 shows the conventional metal mold and this metal mold consists of an up die 1 and a lower die 2. If each dies 1 and 2 are assembled, the cavity in which a package 3 is installed will be formed in the interior.

[0005] After carrying out the flow of the encapsulant and carrying out the mold of the package 3 into a cavity, in order to, take out the package 3 which fixed on the cavity front face on the other hand, the lower die 2 is equipped with the drawing pin 4 possible [rise and fall].

[0006]

[Problem(s) to be Solved by the Invention] However, when taking out a package 3 from the front face of the lower die 2, raising the drawing pin 4, there was a trouble that static electricity which destroys momentarily the circuit constituted by the semiconductor chip occurred.

[0007] the semiconductor package to which, as for the purpose of this invention, a package can prevent generating of static electricity by making it not fix on the front face of a lower die at the time of drawing of a package -- public funds -- it is in offering a mold.

[0008]

[Means for Solving the Problem] In order to attain said purpose, the metal mold by this invention consists of the following configurations. A package is arranged in the cavity by which the up die and the lower die were formed in assembly **** and the interior of those. After the flow of the encapsulant is carried out into a cavity and the mold of the package is carried out, in order to take out the package, which fixed on the front face of a lower die, several drawing pins arranged at the lower die are raised, and a package is taken out. In order to prevent generating of static electricity at the time of this drawing, irregularity is formed in the front face of a lower die, and it is made for a touch area with a package to decrease. Or you may adhere a fixing prevention plate like paper or a copper plate to the front face of a lower die.

[0009] According to the configuration of said this invention, static electricity generated in case a package is taken out from the front face of a lower die by the drawing pin is prevented by forming irregularity in the front face of a lower die, and adhering a fixing prevention plate.

[0010]

[Embodiment of the Invention] [Example 1] Drawing 2 is the sectional view showing the static-free structure of the metal mold concerning the example 1 of this invention. As shown in this drawing, this metal mold consists of an up die 1 and a lower die 2. The cavity by which each dies 1 and 2 are assembled and by which ** arrival of the package 3 is carried out to the interior is formed. Moreover, several drawing pins 4 for taking out the package 3 which fixed on the front face after the mold of a package 3 to the lower die 2 are arranged possible [rise and fall].

[0011] When a package 3 is taken out from the front face of the lower die 2 by the drawing pin 4, in order to prevent generating of static electricity, irregularity 21 is formed in the front face of the lower die 2, or synthetic-resin coating, for example, Teflon coating, is performed, and surface treatment of the lower die 2 is carried out. Irregularity 21 reduces the touch area between package 3 and lower die 2 front faces, and plays the role it is

made for a package 3 not to fix to the lower die 2. Teflon coating controls that static electricity charges the front face of the lower die 2 (electrification).

[0012] [Example 2] Drawing 3 makes the fixing prevention plate 22 adhere to the front face of the lower die 2, as the metal mold by the example 2 of this invention is shown and it is shown in this drawing. Although the quality of the material which can bear the elevated temperature and high pressure which are a mold working condition as this fixing prevention plate 22, for example, paper, and a metal plate can also be used, the copper plate is used in this example. That is, the fixing prevention plate 22 plays the role with which a package 3 prevents fixing on the front face of the lower die 2 at the time of mold as the name.

[0013] In said examples 1 and 2 and the conventional metal mold, if static electricity generated at the time of drawing of a package is compared, the following results will be obtained.

[0014]

[Table 1]

実験項目		従来金型	表面処理		固着防止板	
下部ダイ状態		s h i n y	凸凹	テフロンコーティング	紙	銅板
静電気 電圧 (V)	# 1	- 7 2 5	+ 6	+ 1 8 5	+ 1 0	+ 1 5
	# 2	- 7 4 0	+ 1 1	+ 1 7 4	+ 1 8	+ 1 4
	# 3	- 8 0 0	+ 1 3	+ 1 4 8	+ 1 2	+ 1 1

[0015] As shown in said table, in the lower die 2 of metal mold, the very high static electricity electrical potential difference occurs conventionally at the time of drawing of a package. However, if surface treatment of the lower die 2 front face is carried out by this invention or the fixing prevention plate 22 is adhered, it turns out that the static electricity electrical potential difference is remarkably reduced as compared with the former.

[0016] In the experiment for on the other hand obtaining data as shown in said table, when the rise-and-fall rate of a drawing pin was reduced, the effectiveness that static electricity was reduced was generated. However, if a rise-and-fall rate is reduced too much, since mold process time amount will increase, such an approach has a limit. Therefore, cycle time is compared with the static electricity percentage reduction, and the optimal rise-and-fall rate can be selected.

[0017] In addition, this invention can be changed and carried out to Oshi within limits which are not limited to said example and do not deviate from the meaning of this invention.

[0018]

[Effect of the Invention] It is made for a package 3 not to fix on the front face of the lower die 2 at the time of mold by formed or arranging irregularity 21 or the fixing prevention plate 22 on the front face of the lower die 2, as explained above. Since a package 3 does not fix on the front face of the lower die 2 by this when taking out a package 3 by the drawing pin 4, it can prevent that can prevent generating of static electricity, therefore the circuit of a semiconductor chip is destroyed by static electricity.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the conventional metal mold.

[Drawing 2] It is the sectional view showing the metal mold by the example 1 of this invention.

[Drawing 3] It is the sectional view showing the metal mold by the example 2 of this invention.

[Description of Notations]

1 Up Die

2 Lower Die

3 Package

4 Drawing Pin

21 Irregularity

22 Fixing Prevention Plate

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-133666

(P2000-133666A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/56		H 0 1 L 21/56	T
B 2 9 C 33/42		B 2 9 C 33/42	
33/62		33/62	
33/68		33/68	
45/14		45/14	

審査請求 未請求 請求項の数 7 O L (全 4 頁) 最終頁に続く

(21) 出願番号	特願平11-304102	(71) 出願人	591024111 現代電子産業株式会社 大韓民国京畿道利川市夫鉢邑牙美里山136-1
(22) 出願日	平成11年10月26日 (1999. 10. 26)	(72) 発明者	李 求 鴻 大韓民国 ソウル 江東區 上一洞 現代ビル 3-202
(31) 優先権主張番号	1 9 9 8 / P 4 5 4 4 7	(72) 発明者	金 銀 東 大韓民国 京畿道 利川市 栢沙面 牟田里 現代アパート 103-403
(32) 優先日	平成10年10月28日 (1998. 10. 28)	(74) 代理人	100093399 弁理士 瀬谷 徹 (外1名)
(33) 優先権主張国	韓国 (K R)		

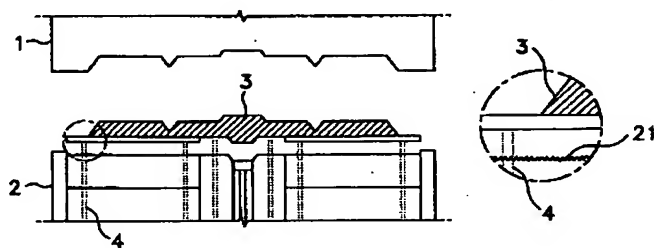
最終頁に続く

(54) 【発明の名称】 半導体パッケージ用金型

(57) 【要約】

【目的】 パッケージが下部ダイの表面に固着しないようにすることにより、パッケージの取出し時に静電気の発生を防止することができる半導体パッケージ用金型を提供する。

【構成】 上部ダイ1と下部ダイ2とが組立られて、その内部にパッケージ3が安着されるキャビティが形成される。下部ダイ2には、モールド後に、下部ダイ2からパッケージ3を取り出すための取出しピン4が昇降可能に配置される。取出し時に、パッケージ3が下部ダイ2の表面に固着して静電気が発生することを防止する為に、下部ダイ2の表面に凹凸21を形成し、あるいは、固着防止板22を付着する構成とする。



1

【特許請求の範囲】

【請求項1】 パッケージの配置されるキャビティを形成する上部及び下部ダイ；及び、

前記下部ダイ表面に昇降可能に配置され、前記キャビティ内に配置されてモールドされたパッケージを前記下部ダイ表面から取り出す取出しピンを含み、

前記取出しピンにより下部ダイ表面から取り出されるパッケージに静電気が発生することを防止するために、前記下部ダイ表面にパッケージと下部ダイ表面の間の接触面積を低減する凹凸が形成されることを特徴とする半導体パッケージ用金型。

【請求項2】 パッケージの配置されるキャビティを形成する上部及び下部ダイ；及び、

前記下部ダイ表面に昇降可能に配置され、前記キャビティ内に配置されてモールドされたパッケージを前記下部ダイ表面から取り出す取出しピンを含み、

前記取出しピンにより下部ダイ表面から取り出されるパッケージに静電気が発生することを防止するために、前記下部ダイ表面に静電気が充電することを抑制できる合成樹脂がコーティングされることを特徴とする半導体パッケージ用金型。

【請求項3】 前記合成樹脂の材質はテフロンであることを特徴とする請求項2記載の半導体パッケージ用金型。

【請求項4】 パッケージの配置されるキャビティを形成する上部及び下部ダイ；及び、

前記下部ダイ表面に昇降可能に配置され、前記キャビティ内に配置されてモールドされたパッケージを前記下部ダイ表面から取り出す取出しピンを含み、

前記取出しピンにより下部ダイ表面から取り出されるパッケージに静電気が発生することを防止するために、前記下部ダイ表面に固着することを防止できる固着防止板が付着されることを特徴とする半導体パッケージ用金型。

【請求項5】 前記固着防止板の材質は紙であることを特徴とする請求項4記載の半導体パッケージ用金型。

【請求項6】 前記固着防止板の材質は金属であることを特徴とする請求項4記載の半導体パッケージ用金型。

【請求項7】 前記金属板の材質は銅であることを特徴とする請求項6記載の半導体パッケージ用金型。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体パッケージ用金型に関し、特にモールド工程後にパッケージを取り出す際に発生する静電気 (static electricity) を抑制することができる金型に関する。

【0002】

【従来の技術】 一般のパッケージ、例えばボールグリッドアレイパッケージは、基板上に半導体チップが接着され、半導体チップのボンディングパッドと基板が金属ワ

2

イヤにより連結している構造からなる。全体結果物は封止剤で密封され、封止剤から露出した基板の下に形成されたボールランドに半田ボールがマウントされる。

【0003】 かかる構造のパッケージのモールド時において、上部ダイと下部ダイの組立によって形成されるキャビティ内に半導体チップと基板を位置させ、封止剤をキャビティ内にフローさせることで、半導体チップと基板のモールドが行われる。

【0004】 図1は従来の金型を示すもので、この金型は、上部ダイ1と下部ダイ2とから構成されている。各ダイ1、2が組立てられると、その内部にはパッケージ3の安置されるキャビティが形成される。

【0005】 一方、キャビティ内に封止剤をフローさせてパッケージ3をモールドした後、キャビティ表面に固着したパッケージ3を取り出すために、下部ダイ2には取出しピン4が昇降可能に備えられている。

【0006】

【発明が解決しようとする課題】 ところが、取出しピン4を上昇させながら下部ダイ2の表面からパッケージ3を取り出す時、瞬間的に、半導体チップに構成された回路を破壊する静電気が発生するという問題点があった。

【0007】 本発明の目的は、パッケージが下部ダイの表面に固着しないようにすることにより、パッケージの取出し時に、静電気の発生を防止することができる半導体パッケージ用金型を提供することにある。

【0008】

【課題を解決するための手段】 前記目的を達成する為に、本発明による金型は次の様な構成よりなっている。上部ダイと下部ダイとが組立られて、その内部に形成されたキャビティ内にパッケージが配置される。キャビティ内に封止剤がフローされ、パッケージがモールドされた後、下部ダイの表面に固着されたパッケージを取り出すために、下部ダイに配置された数本の取出しピンを上昇させ、パッケージを取り出す。この取出し時に静電気の発生を防止するために、下部ダイの表面に凹凸を形成してパッケージとの接触面積が低減するようにする。または、下部ダイの表面に紙や銅板の様な固着防止板を付着しても良い。

【0009】 前記本発明の構成によれば、下部ダイの表面に凹凸を形成し、また、固着防止板を付着することにより、取出しピンによってパッケージを下部ダイの表面から取り出す際に発生する静電気が防止される。

【0010】

【発明の実施の形態】 【実施例1】 図2は本発明の実施例1にかかる金型の静電気防止構造を示す断面図である。同図に示すように、この金型は上部ダイ1と下部ダイ2とから構成される。各ダイ1、2が組立てられる、その内部にパッケージ3が安置されるキャビティが形成される。また、下部ダイ2には、パッケージ3のモールド後に、その表面に固着されたパッケージ3を取り出す

10

20

30

40

50

3

ための数本の取出しピン4が昇降可能に配置される。

【0011】取出しピン4によってパッケージ3が下部ダイ2の表面から取り出される時、静電気の発生を防止するために、下部ダイ2の表面に凹凸21を形成し、あるいは、合成樹脂コーティング例えばテフロンコーティングを行い、下部ダイ2を表面処理する。凹凸21は、パッケージ3と下部ダイ2表面の間の接触面積を低減させ、パッケージ3が下部ダイ2に固着しないようにする役割を果たす。テフロンコーティングは下部ダイ2の表面に静電気が充電（帯電）することを抑制する。

【0012】〔実施例2〕図3は本発明の実施例2による金型を示すもので、同図に示すように、下部ダイ2の

4

表面に固着防止板22を付着させる。この固着防止板22としては、モールド作業条件である高温及び高压に耐えられる材質、例えば紙や金属板を用いることもできるが、本実施例では銅板を用いている。すなわち、固着防止板22はその名称通り、モールド時にパッケージ3が下部ダイ2の表面に固着することを防止する役割を果たす。

【0013】前記実施例1及び2と従来の金型において、パッケージの取出し時に発生する静電気を比較すれば、下記の様な結果が得られる。

【0014】

【表1】

実験項目		従来金型		表面処理	固着防止板	
下部ダイ状態		shiny	凸凹	テフロンコーティング	紙	銅板
静電気 電圧 (V)	#1	-725	+6	+185	+10	+15
	#2	-740	+11	+174	+18	+14
	#3	-800	+13	+148	+12	+11

【0015】前記表に示すように、従来金型の下部ダイ2では、パッケージの取出し時、非常に高い静電気電圧が発生する。しかしながら、本発明によって下部ダイ2表面を表面処理したり、固着防止板22を付着したりすれば、従来と比較して静電気電圧が著しく低減されることがわかる。

【0016】一方、前記表の様なデータを得るための実験において、取出しピンの昇降速度を低減すると、静電気が低減される効果が発生させた。しかし、昇降速度を低減しすぎると、モールド工程時間が増えるため、このような方法には制限がある。よって、成形時間と静電気減少率とを比較して、最適の昇降速度を選定することができる。

【0017】なお、本発明は、前記実施例に限定されず、本発明の趣旨から逸脱しない範囲内で多様に変更して実施することが可能である。

【0018】

【発明の効果】以上説明したように、下部ダイ2の表面に凹凸21または固着防止板22を形成または配置する

ことにより、モールド時にパッケージ3が下部ダイ2の表面に固着しないようにする。これにより、取出しピン4によってパッケージ3を取り出す時、パッケージ3が下部ダイ2の表面に固着しないことから、静電気の発生を防ぐことができ、従って、半導体チップの回路が静電気により破壊されることを防止することができる。

【図面の簡単な説明】

【図1】従来の金型を示す断面図である。

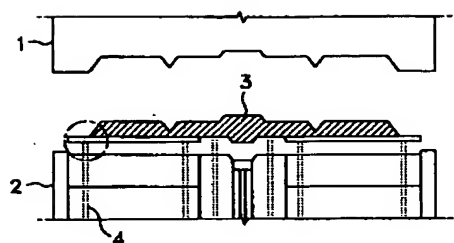
【図2】本発明の実施例1による金型を示す断面図である。

【図3】本発明の実施例2による金型を示す断面図である。

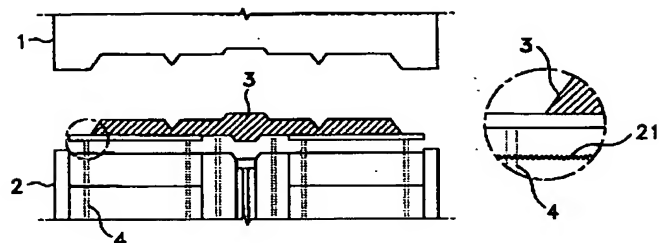
【符号の説明】

- 1 上部ダイ
- 2 下部ダイ
- 3 パッケージ
- 4 取出しピン
- 21 凹凸
- 22 固着防止板

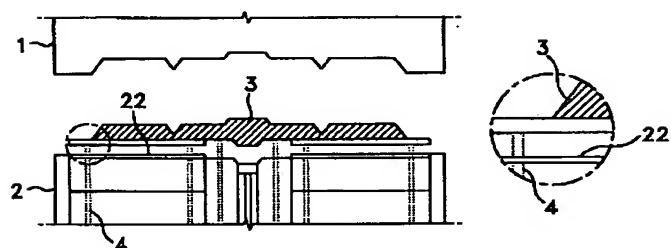
【図 1】



【図 2】



【図 3】



フロントページの続き

(51) Int. Cl. 7

B 2 9 C 45/40

// B 2 9 L 31:34

識別記号

F I

B 2 9 C 45/40

テ-マ-ド (参考)

(72) 発明者 李 泰 根

大韓民国 仁川 廣域市 西區 石南 1 30
洞

BEST AVAILABLE COPY